

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0083502  
Application Number

출원년월일 : 2002년 12월 24일  
Date of Application DEC 24, 2002

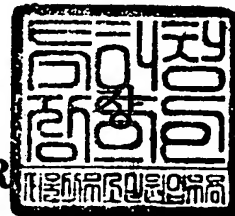
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      05      월      14      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002. 12. 24
【발명의 명칭】	레지스터 제어 지연고정루프
【발명의 영문명칭】	Register controlled delay locked loop
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	김경훈
【성명의 영문표기】	KIM, Kyung Hoon
【주민등록번호】	760702-1052117
【우편번호】	467-140
【주소】	경기도 이천시 고당동 고당기숙사 101-1009
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	31 면 31,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	20 항 749,000 원
【합계】	809,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체 회로 기술에 관한 것으로, 특히 지연고정루프(delay locked loop, DLL)에 관한 것이며, 더 자세히는 레지스터 제어 DLL(resister controlled DLL)에 관한 것이다. 본 발명은 보다 빠른 지연 고정 시간을 가지며, 칩 면적의 증가를 최소화 하면서 동작 주파수 특성 및 지터 특성을 만족시킬 수 있는 레지스터 제어 지연고정루프를 제공하는데 그 목적이 있다. 본 발명에서는 총  $m \times n$ 개의 지연 유닛이 필요한 경우, 지연 유닛  $n$ 개를 서브 지연 체인(sub delay chain)이라는 서브 블록으로 묶고, 이 서브 지연 체인을  $m$ 개 만큼 연결하여 지연 체인을 구현한다. 한편, 이러한 지연 체인을 제어하기 위한 쉬프트 레지스터를 마스터 쉬프트 레지스터와 슬레이브 쉬프트 레지스터로 구성하여 마스터 쉬프트 레지스터는  $m$ 개의 서브 지연 체인에 하나씩 구비된 마스터 지연 유닛을 선택하며, 슬레이브 쉬프트 레지스터는  $m$ 개의 서브 지연 체인 각각에  $n-1$ 개씩 포함된 슬레이브 지연 유닛을 공통으로 제어하도록 하였다.

**【대표도】**

도 5

**【색인어】**

레지스터 제어 지연고정루프, 마스터/슬레이브 쉬프트 레지스터, 서브 지연 체인, 마스터/슬레이브 지연 유닛, 칩 면적

## 【명세서】

## 【발명의 명칭】

레지스터 제어 지연고정루프{Register controlled delay locked loop}

## 【도면의 간단한 설명】

도 1은 종래기술에 따른 DDR SDRAM의 레지스터 제어 DLL의 블록 다이어그램.

도 2는 종래기술에 따른 레지스터 제어 DLL의 지연 체인의 회로도.

도 3은 종래기술에 따른 레지스터 제어 DLL의 쉬프트 레지스터의 회로도.

도 4는 상기 도 1의 레지스터 제어 DLL의 타이밍 다이어그램.

도 5는 본 발명의 일 실시예에 따른 DDR SDRAM의 레지스터 제어 DLL의 블록 다이어그램.

도 6은 상기 도 5의 서브 지연 체인(SDC)의 회로 구성을 예시한 도면.

도 7은 상기 도 5의 지연 체인 및 쉬프트 레지스터의 회로 구성을 예시한 도면.

도 8a 및 도 8b는 각각 상기 도 5의 마스터 쉬프트 레지스터 및 슬레이브 쉬프트 레지스터의 회로 구성을 예시한 도면.

도 9는 상기 도 5의 쉬프트 레지스터 제어기(250)의 세부 블록 구성을 나타낸 도면.

도 10a는 상기 도 9의 쉬프트 라이트/레프트 제어부의 회로 구성을 예시한 도면.

도 10b는 상기 도 9의 마스터/슬레이브 신호패싱 제어부의 회로 구성을 예시한 도면.

도 10c는 상기 도 9의 마스터 지연 유닛 디스에이블 신호 생성부의 회로 구성을 예시한 도면.

\* 도면의 주요 부분에 대한 부호의 설명

250 : 쉬프트 레지스터 제어기

262 : 마스터 쉬프트 레지스터

264 : 슬레이브 쉬프트 레지스터

220, 222, 224 : 지연 체인

SDC : 서브 지연 체인

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 반도체 회로 기술에 관한 것으로, 특히 지연고정루프(delay locked loop, DLL)에 관한 것이며, 더 자세히는 레지스터 제어 DLL(resister controlled DLL)에 관한 것이다.

<20> 통상적으로, 시스템이나 회로에서 클럭은 동작 타이밍을 맞추기 위한 레퍼런스로 사용되고 있으며, 에러(error) 없이 보다 빠른 동작을 보장하기 위해서 사용되기도 한다. 외부로부터 입력되는 클럭이 내부에서 사용될 때 내부 회로에 의한 시간 지연(클럭 스

큐(clock skew))이 발생하게 되는데, 이러한 시간 지연을 보상하여 내부 클럭이 외부 클럭과 동일한 위상을 갖도록 하기 위해 DLL이 사용되고 있다.

<21> 한편, DLL은 기존에 사용되어 온 위상고정루프(PLL)에 비해 잡음(noise)의 영향을 덜 받는 장점이 있어 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 동기식 반도체 메모리에서 널리 사용되고 있으며, 그 중에서도 레지스터 제어 DLL이 가장 일반화되어 사용되고 있다.

<22> 동기식 반도체 메모리 소자에서 레지스터 제어 DLL은 기본적으로 외부 클럭을 받아서 클럭 경로 및 데이터 경로의 지연 성분을 보상하여 미리 네거티브 지연을 반영함으로써 데이터의 출력이 외부 클럭과 동기되도록 해주는 기능을 수행한다.

<23> 도 1은 종래기술에 따른 DDR SDRAM의 레지스터 제어 DLL의 블록 다이어그램이다. 레지스터 제어 DLL은 제1 및 제2 클럭 입력 버퍼(100, 102)로부터 출력된 내부 클럭(Rclk, Fclk)을 사용한다. 제1 클럭 입력 버퍼(100)는 정 외부 클럭(CLK)을 버퍼링하여 정 외부 클럭(CLK)의 라이징 에지에 동기된 내부 클럭(Rclk)을 생성하며, 제2 클럭 입력 버퍼(102)는 부 외부 클럭(/CLK)을 버퍼링하여 부 외부 클럭(/CLK)의 라이징 에지(정 외부 클럭(CLK)의 폴링 에지)에 동기된 내부 클럭(Fclk)을 생성한다.

<24> 도 1을 참조하면, 종래기술에 따른 DDR SDRAM의 레지스터 제어 DLL은, 내부 클럭(Rclk)을  $1/X$ (X는 양의 정수이며, 여기서에서  $X=8$ )로 분주하여 분주된 클럭(Fb\_D8)을 생성하는 클럭 분주기(110)와, 내부 클럭(Rclk)을 입력으로 하는 제1 지연 체인(120)과, 내부 클럭(Fclk)을 입력으로 하는 제2 지연 체인(122)과, 위상 비교를 위해 분주된 클럭(Fb\_D8)을 입력으로 하는 제3 지연 체인(124)과, 제1, 제2 및 제3 지연 체인(120, 122, 124)의 지연량을 결정하기 위한 쉬프트 레지스터(160)와, 제3 지연 체인(124)의 출력

(Fb\_DC)을 입력으로 하여 실제 클럭 경로 및 데이터 경로의 지연 성분을 반영하기 위한 지연 모델(130)과, 지연 모델(130)의 출력(Fb\_DM)과 분주된 클럭(Fb\_D8)의 위상을 비교하기 위한 위상 비교기(140)와, 지연고정시 제1 지연 체인(120)의 출력(Rclk\_DC)을 인가받아 DLL 클럭(Rclk\_DLL)을 생성하기 위한 제1 DLL 드라이버(170)와, 지연고정시 제2 지연 체인(122)의 출력(Fclk\_DC)을 인가받아 DLL 클럭(Fclk\_DLL)을 생성하기 위한 제2 DLL 드라이버(172)와, 위상 비교기(140)의 출력(CS\_PC)을 입력으로 하여 쉬프트 레지스터(160)의 쉬프트 방향을 제어하기 위한 쉬프트 레지스터 제어기(150)를 구비한다.

<25> 도 2는 종래기술에 따른 레지스터 제어 DLL의 지연 체인의 회로도로서, 상기 도 1의 제1 내지 제3 지연 체인(120, 122, 124)은 모두 같은 구성을 가진다.

<26> 도 2를 참조하면, 지연 체인은 입력 클럭(clk\_in)을 일 입력으로 하고 지연선택신호(sel\_1, ..., sel\_m-1, sel\_m, sel\_m+1, ..., sel\_m\*n)를 각각 타 입력으로 하는 m\*n개의 낸드 게이트(NAND1, ..., NANDm-1, NANDm, NANDm+1, ..., NANDm\*n)와, 각 낸드 게이트(NAND1, ..., NANDm-1, NANDm, NANDm+1, ..., NANDm\*n)의 출력에 제어 받는 m\*n개의 지연 유닛(DU1, ..., DUm-1, DUm, DUm+1, ..., DUm\*n)를 구비한다.

<27> 여기서, 각 지연 유닛은 2 개의 낸드 게이트로 이루어지는데, m번째 지연 유닛(DUm-1)의 경우, 이전 지연 유닛(DUm-1)의 출력을 일 입력으로 하고 해당 낸드 게이트(NANDm)의 출력을 타 입력으로 하는 제1 낸드 게이트(NAND100)와, 공급전원(VDD)을 일 입력으로 하고 제1 낸드 게이트(NAND100)의 출력을 타 입력으로 하는 제2 낸드 게이트(NAND101)로 구성된다. 단, 첫번째 지연 유닛(DU1)는 이전 지연 유닛이 없기 때문에 이전 지연 유닛의 출력 대신에 공급전원(VDD)을 입력 받는다.

<28> 도 3은 종래기술에 따른 레지스터 제어 DLL의 쉬프트 레지스터의 회로도이다.

- <29> 도 3을 참조하면, 쉬프트 레지스터는 다수( $m \times n$ )의 스테이지로 구성된다. 하나의 스테이지를 예로 들어 설명하면, 각 스테이지는 낸드 게이트(NAND)와 인버터(INV)로 구성된 반전 래치(L)와, 쉬프트 신호(sre, sro, slo, sle)에 제어 받아 래치(L)에 래치된 값을 변경하기 위한 스위칭부(S)와, 이전 스테이지의 래치의 정출력과 다음 스테이지의 래치의 부출력을 논리 조합하기 위한 논리 조합부(C)를 구비한다.
- <30> 여기서, 각 스테이지의 래치(L)는 초기화를 위해 리셋 신호(resetz)를 낸드 게이트(NAND)의 일 입력으로 받아 들이며, 해당 래치(L)의 부출력을 타 입력으로 받아 들인다.
- <31> 스위칭부(S)는 래치(L)의 정출력단에 접속되며 홀수 쉬프트 라이트 신호(sro)에 제어 받는 NMOS 트랜지스터(M1)와, 래치(L)의 부출력단에 접속되며 짝수 쉬프트 레프트 신호(sle)에 제어 받는 NMOS 트랜지스터(M2)와, 이전 스테이지의 래치의 부출력에 제어 받아 NMOS 트랜지스터(M1)와 함께 래치(L)의 정출력단과 접지전원 사이에 선택적으로 경로를 생성하기 위한 NMOS 트랜지스터(M3)와, 다음 스테이지의 래치의 정출력에 제어 받아 NMOS 트랜지스터(M2)와 함께 래치(L)의 부출력단과 접지전원 사이에 선택적으로 경로를 생성하기 위한 NMOS 트랜지스터(M4)를 구비한다. 한편, 이전 스테이지와 다음 스테이지에서는 쉬프트 신호(sre, sro, slo, sle) 중 짝수 쉬프트 라이트 신호(sre) 및 홀수 쉬프트 레프트 신호(slo)에 제어 받게 된다.
- <32> 그리고, 논리 조합부(C)는 이전 스테이지의 래치의 정출력과 다음 스테이지의 래치의 부출력을 입력으로 하는 오아 게이트(OR)로 구현된다.
- <33> 도 4는 상기 도 1의 레지스터 제어 DLL의 타이밍 다이어그램이다.



- <34> 이하, 상기 도 1 내지 도 4를 참조하여 종래기술에 따른 레지스터 제어 DLL의 동작을 살펴본다.
- <35> 우선, 클럭 분주기(110)는 내부 클럭(Rclk)을 1/8 분주하여 정 외부 클럭(CLK)의 8번째 클럭마다 한번씩 동기되는 클럭(Fb\_D8)을 만든다. 편의상 도 4에서는 클럭 분주기(110)의 출력(Fb\_D8)을 분주되지 않은 상태로 나타내었다.
- <36> 초기 동작시, 클럭 분주기(110)의 출력(Fb\_D8)은 제3 지연 체인(124)의 첫번째 지연 유니트로 입력되어 제3 지연 체인(124)를 통과한 후, 지연 모델(130)를 거치면서 다시 예정된 지연량 만큼 지연되어 출력된다.
- <37> 한편, 위상 비교기(140)는 분주된 클럭(Fb\_D8)과 지연 모델(130)의 출력 클럭(Fb\_DM)의 라이징 에지를 비교하고, 쉬프트 레지스터 제어기(150)는 위상 비교기(140)의 출력(CS\_PC)에 따라 쉬프트 제어 신호(CS\_SM2SR)를 출력한다. 한편, 상기과 같이 지연 모니터링을 위해 제3 지연 체인(124)에 입력되는 클럭(Fb\_D8)을 위상 비교를 위한 기준 클럭으로 사용할 수도 있으나, 흔히 분주된 클럭(Fb\_D8)을 위상 비교를 위한 기준 클럭으로 사용하지 않고 분주된 클럭(Fb\_D8)을 반전시켜 기준 클럭으로 사용하고 있다.
- <38> 그리고, 쉬프트 레지스터(160)는 쉬프트 제어 신호(CS\_SM2SR)에 따라 쉬프트 동작을 수행하여 지연선택신호(CS\_SR)를 출력하여 제1, 제2 및 제3 지연 체인(120, 122, 124)을 구성하는 다수의 지연 유니트 중 하나의 지연 유니트를 인에이블 시킴으로써 제1, 제2 및 제3 지연 체인(120, 122, 124)의 지연량을 결정한다.
- <39> 이후, 쉬프트 레지스터(160)에 의해 지연량이 제어된 지연 모델(130)의 출력 클럭(Fb\_DM)과 분주된 클럭(Fb\_D8)을 비교해 나가면서 두 클럭이 최소의 지터(jitter)를 가

지는 순간에 지연고정(locking)이 이루어지게 되고, 이때 제1 및 제2 DLL 드라이버(170, 172)에서 출력되는 DLL 클럭(Rclk\_DLL, Fclk\_DLL)은 출력데이터가 정 외부 클럭(CLK) 및 부 외부 클럭(/CLK)과 동기되어 출력될 수 있도록 데이터 출력 버퍼를 제어할 수 있게 된다.

<40>       전술한 바와 같이 제1 내지 제3 지연 체인(120, 122, 124)을 구성하는 지연 유니트의 수가  $m \times n$ 개일 경우, 쉬프트 레지스터(160)에 포함된 래치의 수도 이와 같은 개수만큼 구비되어야 한다.

<41>       상기와 같은 종래기술에 따른 레지스터 제어 DLL은 초기 동작시 쉬프트 레지스터(160)의 맨 왼쪽으로부터 쉬프팅 동작을 수행(쉬프트 라이트)하는 것으로 설정하는 경우, 지연 고정을 위해 최대  $m \times n$ 의 클럭 사이클이 필요하게 된다. 도 4에는 총 98 클럭 사이클의 지연 고정 시간이 필요한 경우를 예시하였다. 물론, 초기 동작시 쉬프트 레지스터(160)가 쉬프트 레프트 동작을 수행하도록 구성하는 경우에도 마찬가지이다.

<42>       한편, 레지스터 제어 DLL이 보다 넓은 동작 주파수 범위에서 동작하기 위해서는 지연 유니트의 수를 늘려야 한다. 한편, 지터를 줄이기 위해서는 지연 유니트의 지연 시간을 줄여하므로, 커버할 수 있는 동작 주파수 범위가 줄어들게 된다. 따라서, 동작 주파수 특성과 지터 특성을 함께 만족시키기 위해서는 지연 유니트의 수를 늘려야 하는데, 지연 유니트의 수의 증가는 칩 면적에 대한 부담을 가중시키게 된다. 즉, 종래의 레지스터 제어 DLL은 동작 주파수 특성 및 지터 특성은 칩 면적과는 반비례의 관계를 가진다고 할 수 있다.

**【발명이 이루고자 하는 기술적 과제】**

<43> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 보다 빠른 지연 고정 시간을 가지며, 칩 면적의 증가를 최소화하면서 동작 주파수 특성 및 지연 특성을 만족시킬 수 있는 레지스터 제어 지연고정루프를 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

<44> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 외부 클럭에 동기된 내부 클럭을 지연 모니터링 클럭 소오스 및 비교 기준 클럭 소오스로 사용하는 레지스터 제어 지연고정루프에 있어서, 상기 내부 클럭을 입력으로 하며, 다수의 지연 유니트로 그룹핑된 다수의 서브 지연 체인을 포함하는 제1 지연 라인; 상기 지연 모니터링 클럭을 입력으로 하며, 다수의 지연 유니트로 그룹핑된 다수의 서브 지연 체인을 포함하는 제2 지연 라인; 상기 제2 지연 라인을 통과한 상기 지연 모니터링 클럭에 실제 클럭 경로의 지연 조건을 반영하기 위한 지연 모델; 상기 지연 모델의 출력 신호와 상기 비교 기준 클럭의 위상을 비교하기 위한 위상 비교 수단; 상기 위상 비교 수단으로부터 출력된 위상 비교 신호에 응답하여 쉬프트 제어 신호를 생성하기 위한 쉬프트 레지스터 제어 수단; 상기 쉬프트 제어 신호에 응답하여 상기 제1 및 제2 지연 라인의 상기 서브 지연 체인 중 어느 하나를 선택하기 위한 마스터 쉬프트 레지스터; 및 상기 쉬프트 제어 신호에 응답하여 상기 마스터 쉬프트 레지스터에 의해 선택된 상기 서브 지연 체인 내의 상기 지연 유니트 중 어느 하나를 선택하기 위한 슬레이브 쉬프트 레지스터를 구비하는 레지스터 제어 지연고정루프가 제공된다.

<45> 또한, 본 발명의 다른 측면에 따르면, 외부 클럭에 동기된 내부 클럭을 지연 모니터링 클럭 소오스 및 비교 기준 클럭 소오스로 사용하는 레지스터 제어 지연고정루프에 있어서, 상기 내부 클럭을 입력으로 하며, 다수의 슬레이브 지연 유니트 및 하나의 마스터 지연 유니트로 그룹핑된 다수의 서브 지연 체인을 포함하는 제1 지연 라인; 상기 지연 모니터링 클럭을 입력으로 하며, 다수의 슬레이브 지연 유니트 및 하나의 마스터 지연 유니트로 그룹핑된 다수의 서브 지연 체인을 포함하는 제2 지연 라인; 상기 제2 지연 라인을 통과한 상기 지연 모니터링 클럭에 실제 클럭 경로의 지연 조건을 반영하기 위한 지연 모델; 상기 지연 모델의 출력 신호와 상기 비교 기준 클럭의 위상을 비교하기 위한 위상 비교 수단; 상기 위상 비교 수단으로부터 출력된 위상 비교 신호에 응답하여 쉬프트 제어 신호를 생성하기 위한 쉬프트 레지스터 제어 수단; 상기 쉬프트 제어 신호에 응답하여 상기 제1 및 제2 지연 라인의 상기 다수의 서브 지연 체인 중 어느 하나의 상기 마스터 지연 유니트를 선택하기 위한 마스터 쉬프트 레지스터; 및 상기 쉬프트 제어 신호에 응답하여 상기 마스터 쉬프트 레지스터에 의해 선택된 상기 서브 지연 체인 내의 상기 슬레이브 지연 유니트 중 어느 하나를 선택하기 위한 슬레이브 쉬프트 레지스터를 구비하는 레지스터 제어 지연고정루프가 제공된다.

<46> 종래의 쉬프트 레지스터 제어 DLL에서 쉬프트 레지스터의 출력은 지연 체인을 구성하는 각 지연 유니트와 1:1로 연결되어 있어, 쉬프트 레지스터의 스테이지 수가 지연 유니트의 수만큼 필요했다. 본 발명에서는 총  $m \times n$ 개의 지연 유니트가 필요한 경우, 지연 유니트  $n$ 개를 서브 지연 체인(sub delay chain)이라는 서브 블록으로 묶고, 이 서브 지연 체인을  $m$ 개 만큼 연결하여 지연 체인을 구현한다. 한편, 이러한 지연 체인을 제어하기 위한 쉬프트 레지스터를 마스터 쉬프트 레지스터와 슬레이브 쉬프트 레지스터로 구성

하여 마스터 쉬프트 레지스터는  $m$ 개의 서브 지연 체인에 하나씩 구비된 마스터 지연 유니트를 선택하며, 슬레이브 쉬프트 레지스터는  $m$ 개의 서브 지연 체인 각각에  $n-1$ 개씩 포함된 슬레이브 지연 유니트를 공통으로 제어하도록 하였다. 본 발명을 적용하게 되면, 레지스터 DLL이 가지고 있는 쉬프트 레지스터의 스테이지 수를  $(m*n)-(m+n-1)$ 개 만큼 줄일 수 있어, 면적과 전력 소모를 줄여 줄 수 있다. 또한 초기에 지연고정 시간을 최대  $8*(m*n-m)$  만큼 줄여 줄 수 있는 장점을 가지고 있다.

<47> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<48> 첨부된 도면 도 5는 본 발명의 일 실시예에 따른 DDR SDRAM의 레지스터 제어 DLL의 블록 다이어그램이다. DDR SDRAM의 레지스터 제어 DLL은, 제1 및 제2 클럭 입력 버퍼(200, 202)로부터 출력된 내부 클럭(Rclk, Fclk)을 사용한다. 제1 클럭 입력 버퍼(200)는 정 외부 클럭(CLK)을 버퍼링하여 정 외부 클럭(CLK)의 라이징 에지에 동기된 내부 클럭(Rclk)을 생성하며, 제2 클럭 입력 버퍼(202)는 부 외부 클럭(/CLK)을 버퍼링하여 부 외부 클럭(/CLK)의 라이징 에지(정 외부 클럭(CLK)의 폴링 에지)에 동기된 내부 클럭(Fclk)을 생성한다.

<49> 도 5를 참조하면, 본 실시예에 따른 DDR SDRAM의 레지스터 제어 DLL은, 내부 클럭(Rclk)을  $1/X$ ( $X$ 는 양의 정수이며, 여기서에서  $X=8$ )로 분주하여 분주된 클럭(Fb\_D8)을 생성하는 클럭 분주기(210)와, 내부 클럭(Rclk)을 입력으로 하는 제1 지연 체인(220)과, 내부 클럭(Fclk)을 입력으로 하는 제2 지연 체인(222)과,

위상 비교를 위해 분주된 클럭(Fb\_D8)을 입력으로 하는 제3 지연 체인(224)과, 제1, 제2 및 제3 지연 체인(220, 222, 224)의 지연량을 결정하기 위한 쉬프트 레지스터부(260)와, 제3 지연 체인(224)의 출력(Fb\_DC)을 입력으로 하여 실제 클럭 경로 및 데이터 경로의 지연 성분을 반영하기 위한 지연 모델(230)과, 지연 모델(230)의 출력(Fb\_DM)과 분주된 클럭(Fb\_D8)의 위상을 비교하기 위한 위상 비교기(240)와, 지연고정시 제1 지연 체인(220)의 출력(Rclk\_DC)을 인가 받아 DLL 클럭(Rclk\_DLL)을 생성하기 위한 제1 DLL 드라이버(270)와, 지연고정시 제2 지연 체인(222)의 출력(Fclk\_DC)을 인가 받아 DLL 클럭(Fclk\_DLL)을 생성하기 위한 제2 DLL 드라이버(272)와, 위상 비교기(240)의 출력(CS\_PC)을 입력으로 하여 쉬프트 레지스터부(260)의 쉬프팅 동작을 제어하기 위한 쉬프트 레지스터 제어기(250)를 구비한다.

<50> 한편, 본 실시예에 따른 레지스터 제어 DLL의 제1, 제2 및 제3 지연 체인(220, 222, 224)은 각각 n개의 지연 유닛을 포함하는 m개의 서브 지연 체인(sub delay chain, SDC)을 구비한다.

<51> 그리고, 이러한 제1, 제2 및 제3 지연 체인(220, 222, 224)을 제어하기 위하여 쉬프트 레지스터부(260)에 마스터 쉬프트 레지스터(262)와 슬레이브 쉬프트 레지스터(264)를 구비하였으며, 쉬프트 레지스터 제어기(250)가 마스터 쉬프트 레지스터(262)와 슬레이브 쉬프트 레지스터(264)의 쉬프팅 동작을 제어하게 된다.

<52> 도 6은 상기 도 5의 서브 지연 체인(SDC)의 회로 구성을 예시한 도면이다.

<53> 도 5를 참조하면, 서브 지연 체인(SDC)은 총 n개의 지연 유닛을 포함한다.

서브 지연 체인(SDC)의 마지막 단에는 마스터 쉬프트 레지스터(262)의 제어를 받는 마스터 지연 유니트(master delay unit, MDU)가 구비되며, 그로부터 좌측으로 슬레이브 쉬프트 레지스터(264)의 제어를 받는 n-1개의 슬레이브 지연 유니트(slave delay unit, SDU)가 구비된다.

<54> 그리고, 각 서브 지연 체인(SDC)은 각 지연 유니트로의 클럭 패스를 온/오프하기 위한 3입력 낸드 게이트(NAND\_MDU, NAND\_SDU 1, NAND\_SDU 2, ..., NAND\_SDU n-1)를 지연 유니트의 수(n개)만큼 구비한다.

<55> 한편, 마스터 지연 유니트(MDU)의 경우, 전단의 서브 지연 유니트(SDU 1)의 출력을 일 입력으로 하고 낸드 게이트(NAND\_MDU)의 출력을 타 입력으로 하는 제1 낸드 게이트(NAND200)와, 공급전원(VDD)을 일 입력으로 하고 제1 낸드 게이트(NAND200)의 출력을 타 입력으로 하는 제2 낸드 게이트(NAND201)로 구성된다. n-1개의 슬레이브 지연 유니트(SDU 1, SDU 2, ..., SDU n-1) 또한 마스터 지연 유니트(MDU)와 동일한 구성을 가진다. 물론 이러한 지연 유니트의 구성은 얼마든지 변경할 수 있다.

<56> 그리고, 마스터 지연 유니트(MDU)에 대응하는 낸드 게이트(NAND\_MDU)는 입력 클럭(clk\_in), 마스터 지연선택신호(MSR), 마스터 지연 유니트 디스에이블 신호(MDU\_disz)를 입력 받는다. 또한, n-1개의 슬레이브 지연 유니트(SDU 1, SDU 2, ..., SDU n-1) 각각에 대응하는 낸드 게이트(NAND\_SDU 1, NAND\_SDU 2, ..., NAND\_SDU n-1)는 각각 입력 클럭(clk\_in), 슬레이브 지연선택신호(SSR\_1, SSR\_2, ..., SSR\_n-1), 마스터 지연선택신호(MRS)를 입력 받는다.

<57> 도 7은 상기 도 5의 지연 체인 및 쉬프트 레지스터의 회로 구성을 예시한 도면으로서, 하나의 지연 체인만을 도시하였으나, 상기 도 5의 제1 내지 제3 지연 체인(220, 222, 224)은 모두 같은 구성을 가진다.

<58> 도 7을 참조하면, m개의 각 서브 지연 체인(SDC 1, SDC 2, ..., SDC m)은 상기 도 6에 도시된 바와 같이 하나의 마스터 지연 유닛(MDU)와 n-1개의 슬레이브 지연 유닛(SDU)을 구비한다. 여기서, 각 서브 지연 체인(SDC 1, SDC 2, ..., SDC m)의 마스터 지연 유닛(MDU)는 마스터 쉬프트 레지스터(262)로부터 출력된 m개의 마스터 지연선택신호(MSR\_1, ..., MSR\_m)에 각각 제어 받으며, 슬레이브 쉬프트 레지스터(264)로부터 출력된 n-1개의 슬레이브 지연선택신호(SSR\_1, SSR\_2, ..., SSR\_n-1)는 각 서브 지연 체인(SDC 1, SDC 2, ..., SDC m)에 공통으로 입력된다. 즉, 첫번째 서브 지연 체인(SDC 1)의 마스터 지연 유닛(MDU)는 마스터 지연선택신호 MRS\_1에 제어 받고 m번째 서브 지연 체인(SDC m)의 마스터 지연 유닛(MDU)는 마스터 지연선택신호 MRS\_m에 제어 받는 반면, 첫번째 서브 지연 체인(SDC 1)의 첫번째 슬레이브 지연 유닛(SDU 1)과 2번째 서브 지연 체인(SDC 2)의 첫번째 슬레이브 지연 유닛(SDU 1)은 같은 슬레이브 지연선택신호(SSR\_1)에 제어 받는다.

<59> 한편, 상기 도 6에 도시된 바와 같이 각 서브 지연 체인(SDC 1, SDC 2, ..., SDC m)의 슬레이브 지연 유닛(SDU 1, SDU2, ..., SDU n-1)에 대응하는 낸드 게이트(NAND\_SDU 1, NAND\_SDU 2, ..., NAND\_SDU n-1)는 해당 서브 지연 체인에 대응하는 마스터 지연선택신호에 제어 받는다.

<60> 도 8a 및 도 8b는 각각 상기 도 5의 마스터 쉬프트 레지스터(262) 및 슬레이브 쉬프트 레지스터(264)의 회로 구성을 예시한 도면이다.



- <61> 우선, 도 8a을 참조하면, 마스터 쉬프트 레지스터(262)는 상기 도 3의 쉬프트 레지스터와 유사한 구성을 가진다. 즉, 마스터 쉬프트 레지스터(262)는 초기 동작시 쉬프트 라이트 동작을 수행하도록 구성되어 있다. 다만, 상기 도 3의 쉬프트 레지스터의 경우,  $m \times n$ 개의 스테이지로 구성되는 반면, 마스터 쉬프트 레지스터(262)는  $m$ 개의 스테이지로 구성된다. 마스터 쉬프트 레지스터(262)를 이루는 각 스테이지의 구성은 상기 도 3의 쉬프트 레지스터의 스테이지 구성과 같다.
- <62> 다음으로, 도 8b를 참조하면, 슬레이브 쉬프트 레지스터(264)는 상기 도 8a의 마스터 쉬프트 레지스터(262)와 비교할 때 구성면에서 세 가지 다른 점이 있다.
- <63> 첫째로, 마스터 쉬프트 레지스터(262)의 경우 래치값의 초기화를 위해 리셋 신호(resetz)만을 사용하는 반면, 슬레이브 쉬프트 레지스터(264)는 초기화를 위해 리셋 신호(SSR\_resetz)와 함께 셋 신호(SSR\_setz)를 사용하며, 이에 따라 슬레이브 쉬프트 레지스터(264)를 이루는 각 스테이지의 래치(810)는 마스터 쉬프트 레지스터(262)를 이루는 각 스테이지의 래치(800)와 달리 2개의 낸드 게이트를 사용한다. 보다 구체적으로 살펴보면, 마스터 쉬프트 레지스터(262)의 래치(800)는 부출력과 리셋 신호(resetz)를 입력으로 하는 낸드 게이트(NAND300)와 그의 출력인 정출력을 입력으로 하여 부출력을 제공하는 인버터(INV300)로 구성되어 있다(상기 도 3의 쉬프트 레지스터의 래치(L)와 동일한 구성임). 반면, 슬레이브 쉬프트 레지스터(264)의 래치(810)는 부출력과 리셋 신호(SSR\_resetz)를 입력으로 하는 낸드 게이트(NAND300)와 그의 출력인 정출력과 셋 신호(SSR\_setz)를 입력으로 하여 부출력을 제공하는 낸드 게이트(NAND302)로 구성되어 있다.

- <64> 둘째로, 마스터 쉬프트 레지스터(262)의 경우 초기 동작시 쉬프트 라이트 동작을 수행하도록 구성된 반면, 슬레이브 쉬프트 레지스터(264)는 초기 동작시 쉬프트 레프트 동작을 수행하도록 구성되어 있다는 것이다.
- <65> 세째로, 마스터 쉬프트 레지스터(262)의 경우 첫번째 스테이지와 마지막 스테이지의 노아 게이트의 일 입력을 접지전압(Gnd)으로 처리하는 반면, 슬레이브 쉬프트 레지스터(264)의 경우에는 첫번째 스테이지와 마지막 스테이지의 노아 게이트의 일 입력으로 마스터 쉬프팅 인에이블 신호(MSE)를 사용한다. 이 신호는 첫번째 및 마지막 슬레이브 지연 유닛(SDU 1, SDU n-1)에서 인접한 마스터 지연 유닛(MDU)로의 쉬프팅 동작을 수행하거나 초기 마스터 쉬프팅 동작만을 수행할 때 논리레벨 하이로 액티브 되어 첫번째 슬레이브 지연 유닛(SDU 1)와 마지막 슬레이브 지연 유닛(SDU n-1)를 디스에이블 시킴으로써 결과적으로 모든 슬레이브 지연 유닛(SDU 1, SDU2, ..., SDU n-1)를 모두 디스에이블 시키기 위한 신호이다.
- <66> 한편, 마스터 쉬프트 레지스터(262)와 슬레이브 쉬프트 레지스터(264)는 동시에 동작하지 않고, 어느 하나가 동작하는 동안에는 다른 하나는 홀딩 상태에 있게 된다.
- <67> 도 9는 상기 도 5의 쉬프트 레지스터 제어기(250)의 세부 블록 구성을 나타낸 도면이다.
- <68> 도 9를 참조하면, 쉬프트 레지스터 제어기(250)는 크게 세 블록으로 구성된다.
- <69> 쉬프트 레지스터 제어기(250)는 위상 비교 신호(PC\_0/1), 마스터 쉬프팅 인에이블 신호(MSE), 슬레이브 쉬프팅 인에이블 신호(SSE), 분주된 클럭(Fb\_D8)을 입력으로 하여

마스터 쉬프트 신호(MSR\_sre/sro/sle/slo), 슬레이브 쉬프트 신호(SSR\_sre/sro/sle/slo)를 생성하기 위한 쉬프트 라이트/레프트 제어부(900)를 구비한다.

<70> 또한, 쉬프트 레지스터 제어기(250)는 위상 비교 신호(PC\_0/1), 첫번째 슬레이브 지연선택신호(SSR\_1), 마지막 슬레이브 지연선택신호(SSR\_n-1), 마스터 지연 유닛 디스플레이 신호(MDU\_disz), 분주된 클럭(Fb\_D8)을 입력으로 하여 마스터 쉬프팅 인에이블 신호(MSE), 슬레이브 쉬프팅 인에이블 신호(SSE), 슬레이브 쉬프트 레지스터 셋 신호(SSR\_setz), 슬레이브 쉬프트 레지스터 리셋 신호(SSR\_resetz)를 생성하기 위한 마스터/슬레이브 신호패싱 제어부(910)를 구비한다.

<71> 또한, 쉬프트 레지스터 제어기(250)는 마스터 쉬프트 신호(MSR\_sre/sro/sle/slo), 분주된 클럭(Fb\_D8)을 입력으로 하여 마스터 지연 유닛 디스플레이 신호(MDU\_disz)를 생성하기 위한 마스터 지연 유닛 디스플레이 신호 생성부(920)를 구비한다.

<72> 도 10a는 상기 도 9의 쉬프트 라이트/레프트 제어부(900)의 회로 구성을 예시한 도면이다.

<73> 도 10a에 도시된 쉬프트 라이트/레프트 제어부(900)는 분주된 클럭(Fb\_D8)을 입력으로 하여 쉬프팅 시점(한클럭당 한번의 쉬프팅 동작을 수행)을 결정하기 위한 T-플립플롭부(902)와, 위상 비교 신호(PC\_0/1)와 마스터 쉬프팅 인에이블 신호(MSE)를 논리조합하여 마스터 쉬프팅 인에이블 신호(MSE)가 비활성화 상태인 경우에 위상 비교 신호(PC\_0/1)를 차단하기 위한 제1 논리조합부(904a)와, 위상 비교 신호(PC\_0/1)와 슬레이브 쉬프팅 인에이블 신호(SSE)를 논리조합하여 슬레이브 쉬프팅 인에이블 신호(SSE)가 비활성화 상태인 경우에 위상 비교 신호(PC\_0/1)를 차단하기 위한 제2 논리조합부(904b)와, T-플립플롭부(902)의 출력과 제1 논리조합부(904a)의 출력을 논리조합하여 원하는 시점

에 마스터 쉬프트 신호(MSR\_sre/sro/sle/slo)를 출력하기 위한 제3 논리조합부(906a)와, T-플립플롭부(902)의 출력과 제2 논리조합부(904b)의 출력을 논리조합하여 원하는 시점에 슬레이브 쉬프트 신호(SSR\_sre/sro/sle/slo)를 출력하기 위한 제4 논리조합부(906b)를 구비한다. 한편, 도 10a에는 쉬프트 라이트/레프트 제어부(900)의 각 블록을 낸드 게이트와 인버터만으로 구현하는 경우를 예시하였으나, 다른 논리 게이트를 사용하여 구현이 가능하다.

<74>      도 10b는 상기 도 9의 마스터/슬레이브 신호패싱 제어부(910)의 회로 구성을 예시한 도면이다.

<75>      도 10b의 (A)는 마스터 쉬프팅 인에이블 신호(MSE) 및 슬레이브 쉬프팅 인에이블 신호(SSE)를 생성하기 위한 블록을 나타낸 것으로, 본 블록(A)은 분주된 클럭(Fb\_D8)을 입력으로 하는 인버터(INV900)와, 마스터/슬레이브 연동 쉬프트 라이트 신호(fb\_sr) 및 마스터/슬레이브 연동 쉬프트 레프트 신호(fb\_sl)를 입력으로 하는 노아 게이트(NOR900)와, 노아 게이트(NOR900)의 출력과 인버터(INV900)의 출력을 입력으로 하는 노아 게이트(NOR901)와, 노아 게이트(NOR901)의 출력을 입력으로 하는 T-플립플롭(912)과, T-플립플롭(912)의 출력을 입력으로 하는 인버터(INV901)와, 위상 비교 신호(PC\_0, PC/1)를 입력으로 하는 낸드 게이트(NAND900)와, 낸드 게이트(NAND900)의 출력 및 인버터(INV901)의 출력을 입력으로 하는 노아 게이트(NOR902)와, 분주된 클럭(Fb\_D8)의 라이징 에지에 동기되어 노아 게이트(NOR902)의 출력을 래치하여 마스터 쉬프팅 인에이블 신호(MSE) 및 슬레이브 쉬프팅 인에이블 신호(SSE)를 각각 정출력(Q) 및 부출력(/Q)으로 출력하기 위한 D-플립플롭(914)을 구비한다.

<76> 도 10b의 (B)는 마스터/슬레이브 연동 쉬프트 라이트 신호(fb\_sr)를 생성하기 위한 블록을 도시한 것으로, 본 블록(B)은 첫번째 슬레이브 지연선택신호(SSR\_1) 및 위상 비교 신호(PC\_0)를 입력으로 하는 낸드 게이트(NAND901)와, 위상 비교 신호(PC\_0) 및 마스터 지연 유닛 디스에이블 신호(MDU\_disz)를 입력으로 하는 낸드 게이트(NAND902)와, 낸드 게이트(NAND901)의 출력 및 낸드 게이트(NAND902)의 출력을 입력으로 하는 낸드 게이트(NAND903)와, 분주된 클럭(Fb\_D8)의 라이징 에지에 동기되어 낸드 게이트(NAND903)의 출력을 래치하기 위한 D-플립플롭(916)을 구비한다.

<77> 도 10b의 (C)는 마스터/슬레이브 연동 쉬프트 레프트 신호(fb\_sl)를 생성하기 위한 블록을 도시한 것으로, 본 블록(C)은 위상 비교 신호(PC\_0)를 입력으로 하는 인버터(INV902)와, 인버터(INV902)의 출력 및 마지막 슬레이브 지연선택신호(SSR\_n-1)를 입력으로 하는 낸드 게이트(NAND904)와, 인버터(INV902)의 출력 및 마스터 지연 유닛 디스에이블 신호(MDU\_disz)를 입력으로 하는 낸드 게이트(NAND905)와, 낸드 게이트(NAND904)의 출력 및 낸드 게이트(NAND905)의 출력을 입력으로 하는 낸드 게이트(NAND906)와, 분주된 클럭(Fb\_D8)의 라이징 에지에 동기되어 낸드 게이트(NAND906)의 출력을 래치하기 위한 D-플립플롭(918)을 구비한다.

<78> 도 10b의 (D)는 슬레이브 레지스터 리셋 신호(SSR\_resetz) 및 슬레이브 레지스터 셋 신호(SSR\_setz)를 생성하기 위한 블록을 도시한 것으로, 본 블록(D)은 마스터 지연 유닛 디스에이블 신호(MDU\_disz) 및 위상 비교 신호(PC\_1)를 입력으로 하여 슬레이브 레지스터 리셋 신호(SSR\_resetz)를 출력하는 낸드 게이트(NAND907)와, 위상 비교 신호(PC\_0)를 입력으로 하는 인버터(INV903)와, 인버터(INV903)의 출력 및 마스터 지연 유닛

트 디스에이블 신호(MDU\_disz)를 입력으로 하여 슬레이브 레지스터 셋 신호(SSR\_setz)를 생성하기 위한 낸드 게이트(NAND908)를 구비한다.

<79> 도 10c는 상기 도 9의 마스터 지연 유닛 디스에이블 신호 생성부(920)의 회로 구성을 예시한 도면이다.

<80> 도 10c를 참조하면, 마스터 지연 유닛 디스에이블 신호 생성부(920)는 마스터 쉬프트 신호(MSR\_sre/sro/sle/slo)를 입력으로 하는 4입력 노아 게이트(NOR903)와, 노아 게이트(NOR903)의 출력을 입력으로 하는 인버터(INV904)와, 분주된 클럭(Fb\_D8)의 폴링 에지에 동기되어 인버터(INV904)의 출력을 래치하기 위한 D-플립플롭(922)을 구비한다.

<81> 도 11은 상기 도 5의 레지스터 제어 DLL의 타이밍 다이어그램이다.

<82> 이하, 상기 도 5 내지 도 11을 참조하여 본 발명의 일 실시예에 따른 레지스터 제어 DLL의 동작을 살펴본다.

<83> 우선, 클럭 분주기(210)는 내부 클럭(Rclk)을 1/8 분주하여 정 외부 클럭(CLK)의 8번째 클럭마다 한번씩 동기되는 클럭(Fb\_D8)을 만든다. 편의상 도 11에서는 클럭 분주기(210)의 출력(Fb\_D8)을 분주되지 않은 상태로 나타내었다.

<84> 초기 동작시, 클럭 분주기(210)의 출력(Fb\_D8)은 제3 지연 체인(224)의 첫번째 서브 지연 체인(SDC 1)의 마스터 지연 유닛(MDU)로 입력되어 제3 지연 체인(224)을 통과한 후 지연 모델(130)을 거치면서 다시 예정된 지연량 만큼 지연되어 출력된다. 즉, 초기 동작에서는 마스터 쉬프팅 인에이블 신호(MSE)가 논리레벨 하이로 활성화되며, 슬레이브 쉬프팅 인에이블 신호(SSE)가 논리레벨 로우로 비활성화된다. 이때, 마스터 슬레이브 레지스터(262)가 리셋되어 마스터 지연선택신호(MSR\_1, MSR\_2, ..., MSR\_m-1, MSR\_m)

는 1, 0, ..., 0, 0이 되고, 슬레이브 쉬프트 레지스터(264) 역시 리셋되어 슬레이브 지연선택신호(SSR\_1, SSR\_2, ..., SSR\_n-1)는 0, 0, ..., 0이 되므로, 클럭 분주기(210)의 출력(Fb\_D8)은 총  $m \times n$ 의 지연 유닛 중  $(m-1) \times n + 1$ 개의 지연 유닛을 거쳐 출력된다.

<85> 한편, 위상 비교기(240)는 분주된 클럭(Fb\_D8)과 지연 모델(230)의 출력 클럭(Fb\_DM)의 라이징 에지를 비교하여 위상 비교 신호(PC\_0, PC\_1)를 출력한다. 이때, 위상 비교 신호(PC\_<0:1>)는 00/10/11의 세가지 상태를 가진다. 이 중 '00'은 분주된 클럭(Fb\_D8)의 라이징 에지가 지연 모델(230)의 출력 클럭(Fb\_DM)의 라이징 에지보다 위상이 앞서는 상태를 의미하며, '11'은 분주된 클럭(Fb\_D8)의 라이징 에지가 지연 모델(230)의 출력 클럭(Fb\_DM)의 라이징 에지보다 위상이 뒤처지는 상태를 의미하며, '10'은 분주된 클럭(Fb\_D8)의 라이징 에지와 지연 모델(230)의 출력 클럭(Fb\_DM)의 라이징 에지가 일치하는 상태를 나타낸다.

<86> 초기 동작에 대한 위상 비교 신호(PC\_<0:1>)는 거의 '11'을 나타낼 것이며, 이에 따라 쉬프트 레지스터 제어기(250)는 마스터 쉬프트 신호(MSR\_sre/sro/sle/slo)를 인에이블 시키고, 마스터 쉬프트 레지스터(262)는 매 클럭마다 쉬프트 라이트 동작을 수행하며 서브 지연 체인(SDC) 하나 만큼의 지연량씩 제1 내지 제3 지연 체인(220, 222, 224)의 지연량을 줄여 나가게 된다. 이처럼 마스터 쉬프트 레지스터(262)가 동작하는 동안 슬레이브 쉬프트 레지스터(264)는 동작을 수행하지 않고 있다가, 위상 비교 신호(PC\_<0:1>)가 '00'이 되면 마스터 쉬프팅 인에이블 신호(MSE)가 논리레벨 로우로 비활성화되고 슬레이브 쉬프팅 인에이블 신호(SSE)가 논리레벨 하이로 활성화됨에 따라 비로소 슬레이브 쉬프트 레지스터(264)가 동작을 시작하게 된다. 도 8b를 참조하면, 마스터 쉬프팅 인에이블 신호(MSE)가 논리레벨 로우가 되고, 슬레이브 쉬프트 레지스터 셋 신호

(SSR\_setz)가 활성화되면, 슬레이브 지연선택신호(SSR\_1, SSR\_2, ..., SSR\_n-1)는 1, 0, ..., 0이 되어 해당 서브 지연 체인(SDC)의 첫번째 슬레이브 지연 유닛(SDU\_1)을 선택하게 된다. 이후 쉬프트 레지스터 제어기(250)는 슬레이브 쉬프트 신호(SSR\_sre/sro/sle/slo)를 인에이블 시키고, 슬레이브 쉬프트 레지스터(264)는 위상 비교 신호(PC\_<0:1>)가 '10'이 되기 전까지 매 클럭마다 쉬프트 레프트 동작을 수행하며 지연 유닛 하나 만큼의 지연량씩 제2 지연 체인(224)의 지연량을 늘려나가게 된다. 이처럼 슬레이브 쉬프트 레지스터(264)가 동작을 수행하는 동안 마스터 쉬프팅 인에이블 신호(MSE)가 논리레벨 로우로 비활성화된다. 따라서, 모든 마스터 쉬프트 신호(MSR\_sre/sro/sle/slo)가 논리레벨 로우가 되고, 마스터 쉬프트 레지스터 디스에이블 신호(MDU\_disz)는 로우로 활성화 되며(도 10c 참조), 이에 따라 마스터 쉬프트 레지스터(262)는 더이상 동작하지 않게 된다.

<87> 지연고정은 해당 서브 지연 체인(SDC) 내에서 슬레이브 쉬프트 레지스터(264)의 쉬프트 레프트 동작 중에 이루어질 것이며, 이때 제1 및 제2 DLL 드라이버(170, 172)에서 출력되는 DLL 클럭(Rclk\_DLL, Fclk\_DLL)은 출력데이터가 정 외부 클럭(CLK) 및 부 외부 클럭(/CLK)과 동기되어 출력될 수 있도록 데이터 출력 버퍼를 제어할 수 있게 된다.

<88> 본 발명과 같이 n개의 지연 유닛을 묶어 m개의 서브 지연 체인(SDC)으로 지연 체인을 구성하는 경우, 지연 고정에 필요한 클럭 사이클을 기존의 1/n 정도로 줄일 수 있다. 도 10을 참조하면, 본 발명의 일 실시예에 따르면 13 클럭 사이클 만에 지연고정이 가능함을 확인할 수 있다(종래기술의 경우, 98 클럭 사이클 소요됨(도 4 참조)). 한편, 이는 본 발명을 적용하면 필요한 쉬프트 레지스터의 스테이지 수를 크게 감소시킬 수 있음을 의미하며, 이는 또한 칩 면적을 크게 줄일 수 있음을 의미한다.



<89> 한편, 상기와 같이 지연고정이 이루어진 이후라도 온도, 전압 등의 변화에 따라 지연 유니트의 지연값이 변화하는 경우가 발생할 수 있으며, 이 경우 다시 DLL을 동작시켜야 한다. 이 때에는 초기 동작시와 달리 마스터 쉬프트 레지스터(262) 및 슬레이브 쉬프트 레지스터(260)에 대한 초기화를 수행할 필요가 없이 쉬프트 라이트/레프트 동작을 통해 초기 동작에 의해 얻어진 최종 지연값에 대한 조정을 수행하면 된다. 초기 동작시에는 마스터 쉬프트 레지스터(262)는 쉬프트 라이트 동작만을 수행하고, 슬레이브 쉬프트 레지스터(264)는 쉬프트 레프트 동작만을 수행하는 반면, 이후의 동작에서는 마스터 쉬프트 레지스터(262)가 쉬프트 레프트 동작을 수행할 수도 있고 슬레이브 쉬프트 레지스터(264)가 쉬프트 라이트 동작을 수행할 수도 있다. 또한, 이 경우에는 초기 동작과 달리 마스터 지연 유니트(MDU)와 그에 인접한 슬레이브 지연 유니트(SDU 1, SDU n-1)의 다양한 상호 연동 작용이 요구된다. 즉, 해당 서브 지연 체인 내에서 슬레이브 지연 유니트(SDU 1)에서 인접한 마스터 지연 유니트(MDU)로의 쉬프팅 동작, 혹은 해당 서브 지연 체인의 마스터 지연 유니트(MDU)에서 다음 서브 지연 체인의 슬레이브 지연 유니트(SDU n-1)로의 쉬프팅 동작 등을 수행해야 할 필요성이 있다. 이처럼 마스터 쉬프트 레지스터(262)와 슬레이브 쉬프트 레지스터(264)가 연동해야 할 상황은 다음의 4가지 케이스로 정리할 수 있다.

<90> (케이스 1)

<91> 해당 서브 지연 체인의 첫번째 슬레이브 지연 유니트(SDU 1)에서 해당 서브 지연 체인의 마스터 지연 유니트(MDU)로의 쉬프팅 동작.

<92> (케이스 2)

- <93>      해당 서브 지연 체인의 마스터 지연 유닛(MDU)에서 해당 서브 지연 체인의 첫 번째 슬레이브 지연 유닛(SDU 1)로의 쉬프팅 동작.
- <94>      (케이스 3)
- <95>      해당 서브 지연 체인의 마지막 슬레이브 지연 유닛(SDU n-1)에서 이전 서브 지연 체인의 마스터 지연 유닛(MDU)로의 쉬프팅 동작.
- <96>      (케이스 4)
- <97>      해당 서브 지연 체인의 마스터 지연 유닛(MDU)에서 다음 서브 지연 체인의 마지막 슬레이브 지연 유닛(SDU n-1)로의 쉬프팅 동작.
- <98>      우선, 케이스 1은 슬레이브 쉬프트 레지스터(264)가 동작하다가 마스터 쉬프트 레지스터(262)가 동작할 필요가 있는 경우이다. 이 경우, 마스터 지연 유닛 디스에이블 신호(MDU\_disz)가 논리레벨 하이로 비활성화 되어 마스터/슬레이브 연동 쉬프트 라이트 신호(fb\_sr)가 논리레벨 하이로 활성화되고(도 10b의 (B) 참조), 이에 따라 마스터 쉬프팅 인에이블 신호(MSE) 논리레벨 하이로 활성화되고 슬레이브 쉬프팅 인에이블 신호(SSE)가 논리레벨 로우로 비활성화된다고(도 10b의 (A) 참조). 따라서, 슬레이브 쉬프트 레지스터(264)의 모든 출력(SSR\_1, SSR\_2, ..., SSR\_n-1)이 논리레벨 로우가 되어 슬레이브 지연 유닛(SDU 1, SDU2, ..., SDU n-1)로의 클럭 경로를 차단하고, 인접한 마스터 지연 유닛(MDU)로의 클럭 경로를 열어준다.
- <99>      다음으로, 케이스 2는 마스터 지연 유닛(MDU)가 선택된 상황에서 슬레이브 쉬프팅 동작이 필요한 경우이다. 이 경우, 마스터 지연 유닛 디스에이블 신호(MDU\_disz)가 논리레벨 로우로 활성화 되어 마스터/슬레이브 연동 쉬프트 레프트 신호(fb\_sl)가 논리

레벨 하이로 활성화되고(도 10b의 (C) 참조), 이에 따라 마스터 쉬프팅 인에이블 신호가 (MSE) 논리레벨 로우로 비활성화되고 슬레이브 쉬프팅 인에이블 신호(SSE)가 논리레벨 하이로 활성화된다(도 10b의 (A) 참조). 또한, 마스터 지연 유니트 디스에이블 신호 (MDU\_disz)가 논리레벨 로우로 활성화 됨에 따라 슬레이브 쉬프트 레지스터 셋 신호 (SSR\_setz)가 활성화 되고(도 10b의 (D) 참조), 슬레이브 지연선택신호(SSR\_1, SSR\_2, ..., SSR\_n-1)는 1, 0, ..., 0이 되어 첫번째 슬레이브 지연 유니트(SDU 1)로의 클럭 경로를 열어준다. 이러한 과정은 전술한 초기 동작시에도 적용되고 있다.

<100> 그리고, 케이스 3은 슬레이브 쉬프트 레지스터(264)가 동작하다가 마스터 쉬프트 레지스터(262)가 동작할 필요가 있는 경우이다. 이 경우의 동작은 전술한 케이스 1의 경우와 유사하며, 다만 마스터 쉬프트 레지스터(262)를 한번 쉬프트 레프트 시키면 된다.

<101> 다음으로, 케이스 4는 마스터 지연 유니트(MDU)가 선택된 상황에서 슬레이브 쉬프팅 동작이 필요한 경우이다. 이 경우, 마스터 지연 유니트 디스에이블 신호(MDU\_disz)가 논리레벨 로우로 활성화 되어 마스터/슬레이브 연동 쉬프트 라이트 신호(fb\_sr)가 논리레벨 하이로 활성화되고(도 10b의 (B) 참조), 이에 따라 마스터 쉬프팅 인에이블 신호가(MSE) 논리레벨 로우로 비활성화되고 슬레이브 쉬프팅 인에이블 신호(SSE)가 논리레벨 하이로 활성화된다(도 10b의 (A) 참조). 또한, 마스터 지연 유니트 디스에이블 신호(MDU\_disz)가 논리레벨 로우로 활성화 됨에 따라 슬레이브 쉬프트 레지스터 리셋 신호(SSR\_resetz)가 활성화 되고(도 10b의 (D) 참조), 슬레이브 지연선택신호(SSR\_1, SSR\_2, ..., SSR\_n-1)는 0, 0, ..., 1이 되어 다음 서브 지연 체인의 마지막 슬레이브 지연 유니트(SDU n-1)로의 클럭 경로를 열어

준다. 이때에도 다음 서브 지연 체인의 모든 슬레이브 지연 유니트(SDU 1, SDU2, ..., SDU n-1)는 그 서브 지연 체인의 마스터 지연선택신호(MRS)에 제어 받기 때문에(도 6 및 도 7 참조) 그 서브 지연 체인의 마스터 지연 유니트(MDU)가 디스에이블 되더라도 마스터 쉬프트 레지스터(262)는 한번 쉬프트 레프트 동작을 수행하여야 한다.

<102> 참고적으로, 기존의 레지스터 제어 DLL 중에서도 거친 지연부(coarse delay)와 미세 지연부(fine delay)을 이용하여 지연고정에 소요되는 시간을 줄이는 기술이 제안된 바 있으나, 두 지연부 간에 서로 불연속적인 포인트(discontinuous point)가 발생하여, 지연고정을 놓치거나 지연고정을 이루지 못하는 경우가 발생하는 문제점이 있었다. 그러나, 전술한 본 발명은 외부의 제어 측면에서 보기에 마치 2개의 서로 다른 지연 유니트가 있는 것처럼 보이나, 실제로는 같은 지연시간을 가지는 다수의 지연 유니트로의 그룹핑을 통해 지연 체인을 구성하였기 때문에 종래와 같은 불연속적인 포인트가 존재하지 않게 된다.

<103> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

<104> 예컨대, 전술한 실시예에서는 초기 동작시 마스터 쉬프트 레지스터가 쉬프트 라이트 동작을 수행하고 슬레이브 쉬프트 레지스터가 쉬프트 레프트 동작을 수행하



도록 하는 경우를 일례로 들어 설명하였으나, 본 발명은 초기 동작시 마스터 쉬프트 레지스터가 쉬프트 레프트 동작을 수행하고 슬레이브 쉬프트 레지스터가 쉬프트 라이트 동작을 수행하도록 하는 경우에도 적용된다. 이 경우, 마스터 지연 유닛을 각 서브 지연 체인의 최전단에 배치하고, 슬레이브 지연 유닛을 마스터 지연 유닛의 후단에 배치하면 된다.

<105> 또한, 전술한 실시예에서는 외부 클럭(CLK)의 라이징 에지에 동기된 내부 클럭(rclk)을 지연 모니터링 및 비교를 위한 클럭 소오스로 사용하는 경우(그것을 그대로 사용하는 아니면 분주하거나 반전시켜 사용하는)를 일례로 들어 설명하였으나, 외부 클럭(CLK)의 폴링 에지에 동기된 내부 클럭(fclk)을 클럭 소오스로 사용하는 경우에도 적용된다.

<106> 또한, 전술한 실시예에서는 DDR SDRAM의 레지스터 제어 DLL을 일례로 들어 설명하였으나, 본 발명의 레지스터 제어 DLL은 다른 동기식 반도체 메모리나 기타 동기식 로직에도 적용할 수 있다.

#### 【발명의 효과】

<107> 전술한 본 발명은 레지스터 제어 DLL의 면적중에 대부분을 차지하는 쉬프트 레지스터의 스테이지 수를 대폭 줄여 칩 면적을 크게 감소시키고 전력 소모도 줄일 수 있다. 또한, 본 발명은 위상고정에 소요되는 클럭 수를 크게 줄이는 효과가 있다.

## 【특허청구범위】

## 【청구항 1】

외부 클럭에 동기된 내부 클럭을 지연 모니터링 클럭 소오스 및 비교 기준 클럭 소오스로 사용하는 레지스터 제어 지연고정루프에 있어서,

상기 내부 클럭을 입력으로 하며, 다수의 지연 유니트로 그룹핑된 다수의 서브 지연 체인을 포함하는 제1 지연 라인;

상기 지연 모니터링 클럭을 입력으로 하며, 다수의 지연 유니트로 그룹핑된 다수의 서브 지연 체인을 포함하는 제2 지연 라인;

상기 제2 지연 라인을 통과한 상기 지연 모니터링 클럭에 실제 클럭 경로의 지연 조건을 반영하기 위한 지연 모델;

상기 지연 모델의 출력 신호와 상기 비교 기준 클럭의 위상을 비교하기 위한 위상 비교 수단;

상기 위상 비교 수단으로부터 출력된 위상 비교 신호에 응답하여 쉬프트 제어 신호를 생성하기 위한 쉬프트 레지스터 제어 수단;

상기 쉬프트 제어 신호에 응답하여 상기 제1 및 제2 지연 라인의 상기 서브 지연 체인 중 어느 하나를 선택하기 위한 마스터 쉬프트 레지스터; 및

상기 쉬프트 제어 신호에 응답하여 상기 마스터 쉬프트 레지스터에 의해 선택된 상기 서브 지연 체인 내의 상기 지연 유니트 중 어느 하나를 선택하기 위한 슬레이브 쉬프트 레지스터

를 구비하는 레지스터 제어 지연고정루프.

**【청구항 2】**

제1항에 있어서,

상기 내부 클럭을 분주하여 상기 지연 모니터링 클럭 및 상기 비교 기준 클럭을 생성하기 위한 클럭 분주 수단을 더 구비하는 것을 특징으로 하는 레지스터 제어 지연고정루프.

**【청구항 3】**

제1항에 있어서,

지연고정시 상기 제1 지연 체인의 출력을 인가 받아 DLL 클럭을 생성하기 위한 DLL 드라이빙 수단을 더 구비하는 것을 특징으로 하는 레지스터 제어 지연고정루프.

**【청구항 4】**

제1항에 있어서,

상기 마스터 쉬프트 레지스터와 상기 슬레이브 쉬프트 레지스터는 서로 독립적으로 동작하는 것을 특징으로 하는 레지스터 제어 지연고정루프.

**【청구항 5】**

제4항에 있어서,



상기 마스터 쉬프트 레지스터와 상기 슬레이브 쉬프트 레지스터는 초기 동작시 각각 다른 방향으로 쉬프트 동작을 수행하는 것을 특징으로 하는 레지스터 제어 지연고정루프.

#### 【청구항 6】

외부 클럭에 동기된 내부 클럭을 지연 모니터링 클럭 소오스 및 비교 기준 클럭 소오스로 사용하는 레지스터 제어 지연고정루프에 있어서,

상기 내부 클럭을 입력으로 하며, 다수의 슬레이브 지연 유닛 및 하나의 마스터 지연 유닛으로 그룹핑된 다수의 서브 지연 체인을 포함하는 제1 지연 라인;

상기 지연 모니터링 클럭을 입력으로 하며, 다수의 슬레이브 지연 유닛 및 하나의 마스터 지연 유닛으로 그룹핑된 다수의 서브 지연 체인을 포함하는 제2 지연 라인;

상기 제2 지연 라인을 통과한 상기 지연 모니터링 클럭에 실제 클럭 경로의 지연 조건을 반영하기 위한 지연 모델;

상기 지연 모델의 출력 신호와 상기 비교 기준 클럭의 위상을 비교하기 위한 위상 비교 수단;

상기 위상 비교 수단으로부터 출력된 위상 비교 신호에 응답하여 쉬프트 제어 신호를 생성하기 위한 쉬프트 레지스터 제어 수단;

상기 쉬프트 제어 신호에 응답하여 상기 제1 및 제2 지연 라인의 상기 다수의 서브 지연 체인 중 어느 하나의 상기 마스터 지연 유닛을 선택하기 위한 마스터 쉬프트 레지스터; 및





상기 쉬프트 제어 신호에 응답하여 상기 마스터 쉬프트 레지스터에 의해 선택된 상기 서브 지연 체인 내의 상기 슬레이브 지연 유닛 중 어느 하나를 선택하기 위한 슬레이브 쉬프트 레지스터를 구비하는 레지스터 제어 지연고정루프.

【청구항 7】

제6항에 있어서,

상기 내부 클럭을 분주하여 상기 지연 모니터링 클럭 및 상기 비교 기준 클럭을 생성하기 위한 클럭 분주 수단을 더 구비하는 것을 특징으로 하는 레지스터 제어 지연고정루프.

【청구항 8】

제6항에 있어서,

지연고정시 상기 제1 지연 체인의 출력을 인가 받아 DLL 클럭을 생성하기 위한 DLL 드라이빙 수단을 더 구비하는 것을 특징으로 하는 레지스터 제어 지연고정루프.

【청구항 9】

제6항에 있어서,



상기 마스터 지연 유닛은 상기 서브 지연 체인의 최후단에 배치되며, 상기 마스터 지연 유닛의 전단에 배치된 것을 특징으로 하는 레지스터 제어 지연고정루프.

**【청구항 10】**

제9항에 있어서,

상기 마스터 쉬프트 레지스터와 상기 슬레이브 쉬프트 레지스터는 서로 독립적으로 동작하는 것을 특징으로 하는 레지스터 제어 지연고정루프.

**【청구항 11】**

제10항에 있어서,

상기 마스터 쉬프트 레지스터는 초기 동작시 쉬프트 라이트 동작을 수행하며, 상기 슬레이브 쉬프트 레지스터는 초기 동작시 쉬프트 레프트 동작을 수행하는 것을 특징으로 하는 레지스터 제어 지연고정루프.

**【청구항 12】**

제9항에 있어서,

상기 마스터 쉬프트 레지스터는 상기 서브 지연 체인의 수와 동일한 수의 스테이지를 구비하는 것을 특징으로 하는 레지스터 제어 지연고정루프.

**【청구항 13】**

제12항에 있어서,

상기 슬레이브 쉬프트 레지스터는 하나의 서브 지연 체인 내의 상기 슬레이브 지연 유니트의 수와 동일한 수의 스테이지를 구비하며, 상기 슬레이브 쉬프트 레지스터의 출력은 각 서브 지연 체인에서 공통으로 사용되는 것을 특징으로 하는 레지스터 제어 지연 고정루프.

**【청구항 14】**

제13항에 있어서,

상기 쉬프트 레지스터 제어 수단은,

상기 위상 비교 신호에 응답하여 상기 마스터 쉬프트 레지스터 및 상기 슬레이브 쉬프트 레지스터의 쉬프트 동작을 제어하기 위한 쉬프트 라이트/레프트 제어부를 구비하는 것을 특징으로 하는 레지스터 제어 지연 고정루프.

**【청구항 15】**

제14항에 있어서,

상기 쉬프트 레지스터 제어 수단은 상기 마스터 쉬프트 레지스터의 쉬프트 라이트/레프트 동작을 제어하기 위한 상기 쉬프트 제어 신호에 응답하여 상기 마스터 지연 유니



트 디스에이블 신호를 생성하기 위한 마스터 지연 유니트 디스에이블 신호 생성부를 더 구비하는 것을 특징으로 하는 레지스터 제어 지연고정루프.

**【청구항 16】**

제15항에 있어서,

각 서브 지연 체인 내의 상기 마스터 지연 유니트는 상기 마스터 쉬프트 레지스터의 출력과 상기 마스터 지연 유니트 디스에이블 신호에 제어 받는 것을 특징으로 하는 레지스터 제어 지연고정루프.

**【청구항 17】**

제16항에 있어서,

각 서브 지연 체인 내의 상기 슬레이브 지연 체인은 해당 서브 지연 체인의 상기 마스터 지연 유니트를 선택하기 위한 상기 마스터 쉬프트 레지스터의 출력에 제어 받는 것을 특징으로 하는 레지스터 제어 지연고정루프.

**【청구항 18】**

제15항에 있어서,

상기 쉬프트 레지스터 제어 수단은,

초기 동작에 의해 지연고정이 이루어진 후의 지연 재조정시 인접한 상기 마스터 지연 유닛과 상기 슬레이브 지연 유닛 간의 연동을 제공하기 위한 마스터/슬레이브 신호패싱 제어부를 더 구비하는 것을 특징으로 하는 레지스터 제어 지연고정루프.

**【청구항 19】**

제18항에 있어서,

상기 마스터/슬레이브 신호패싱 제어부는,

상기 위상 비교 신호, 첫번째 슬레이브 지연 유닛을 선택하기 위한 상기 슬레이브 쉬프트 레지스터의 출력, 마지막 슬레이브 지연 유닛을 선택하기 위한 상기 슬레이브 쉬프트 레지스터의 출력, 상기 마스터 지연 유닛 디스에이블 신호에 응답하여 마스터 쉬프팅 인에이블 신호, 슬레이브 쉬프팅 인에이블 신호, 슬레이브 쉬프트 레지스터 셋 신호, 슬레이브 쉬프트 레지스터 리셋 신호를 생성하는 것을 특징으로 하는 레지스터 제어 지연고정루프.

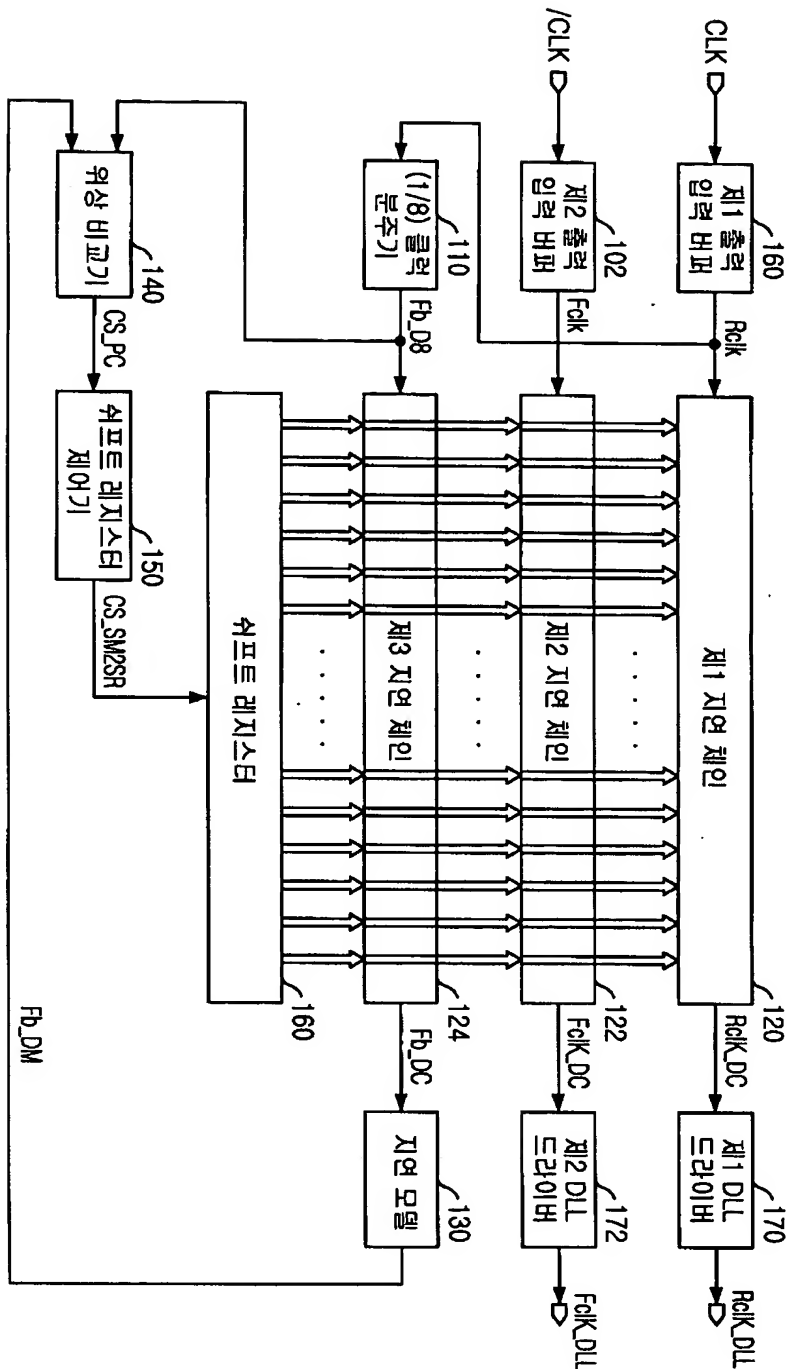
**【청구항 20】**

제19항에 있어서,

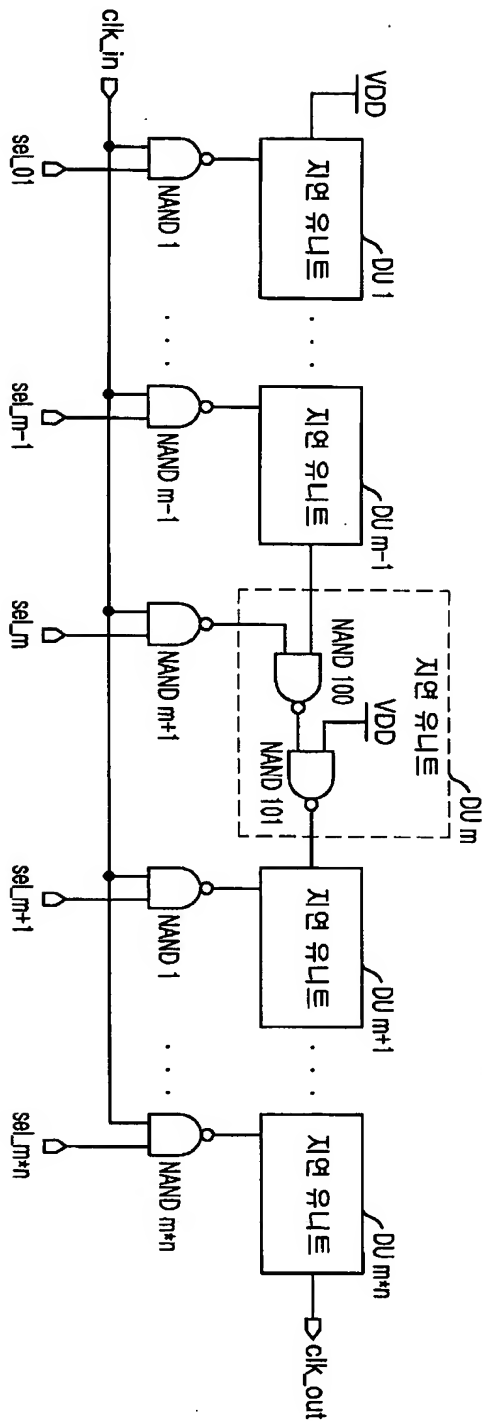
상기 쉬프트 라이트/레프트 제어부는 상기 마스터 쉬프팅 인에이블 신호 및 상기 슬레이브 쉬프팅 인에이블 신호에 제어 받는 것을 특징으로 하는 레지스터 제어 지연고정루프.

【도면】

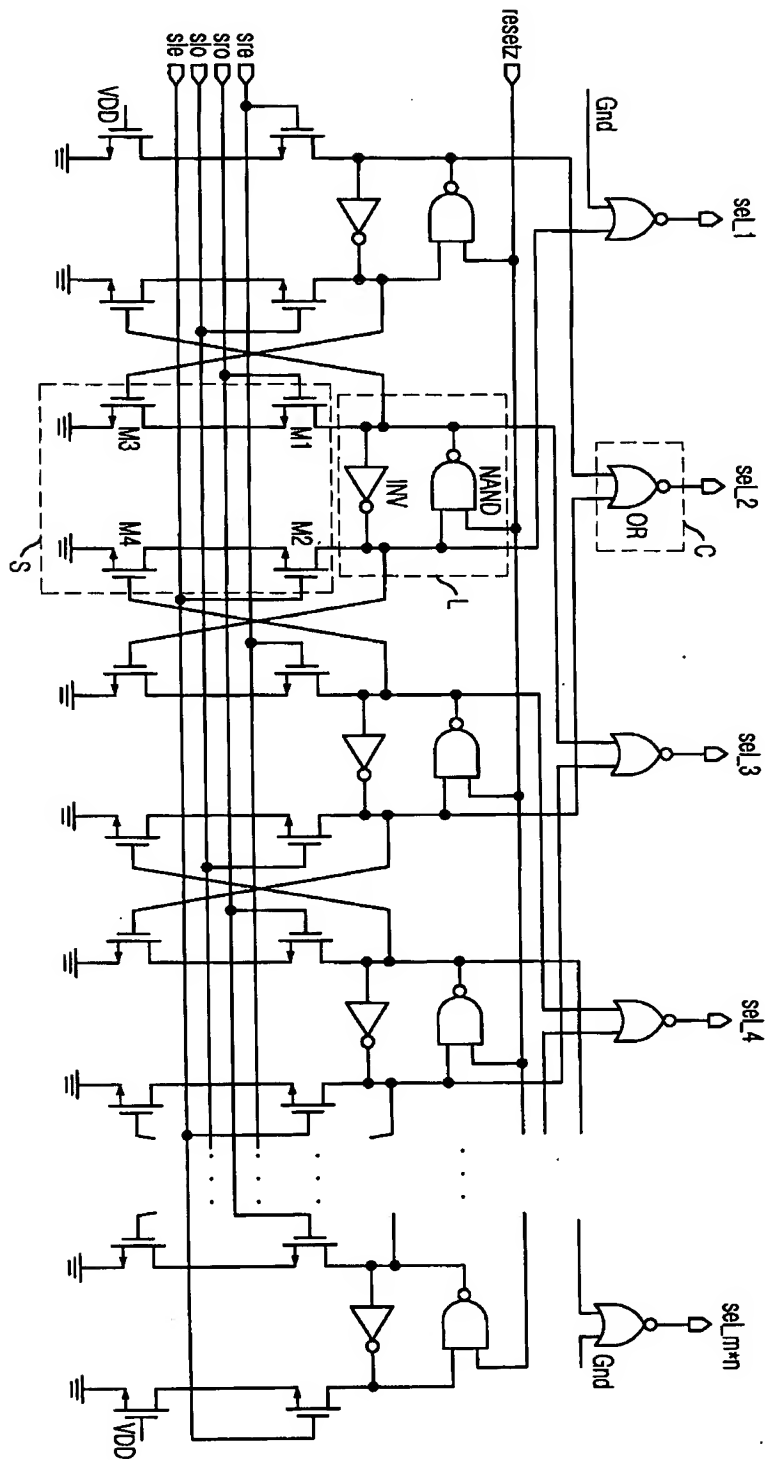
【도 1】



【도 2】

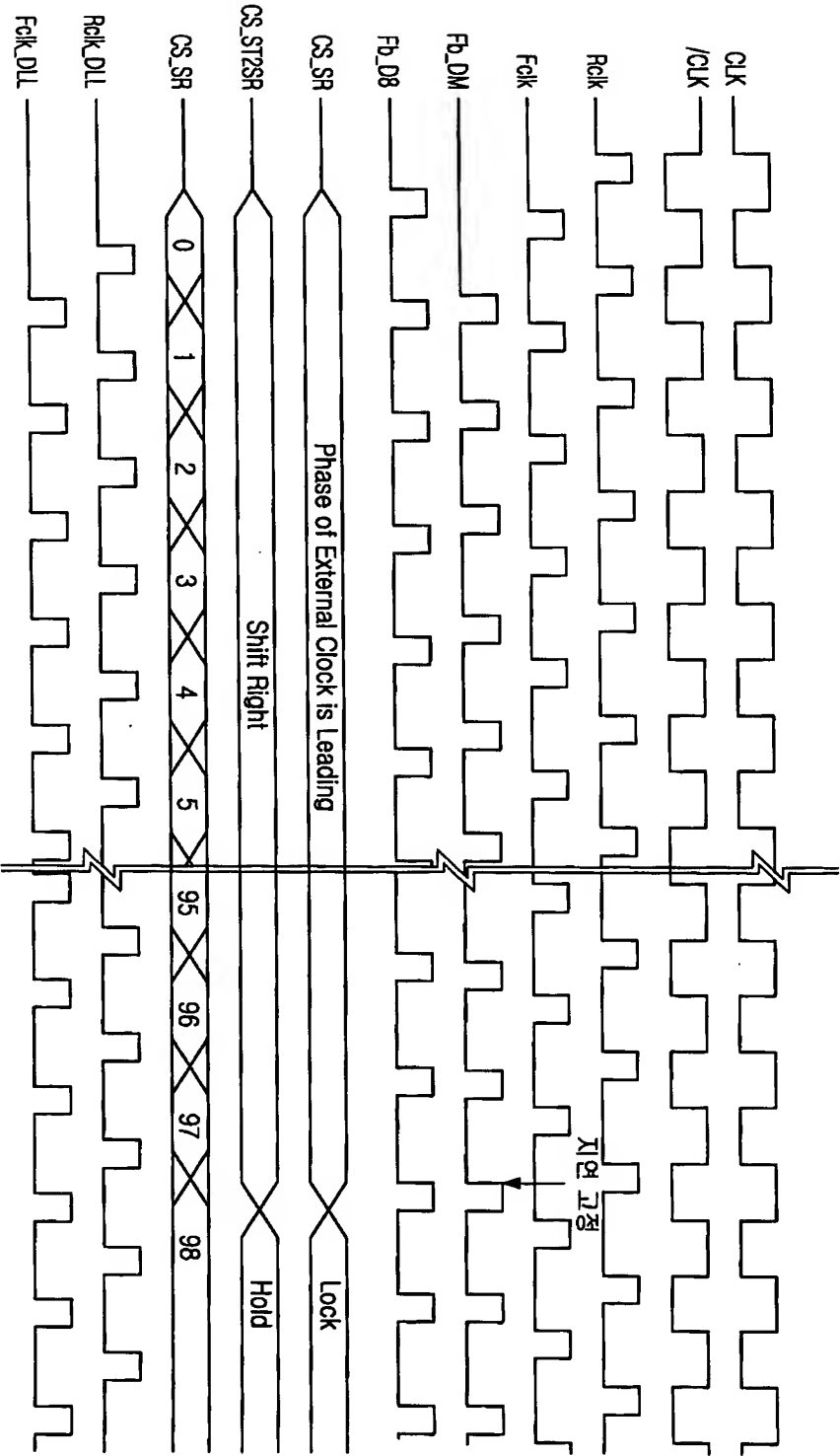


【도 3】

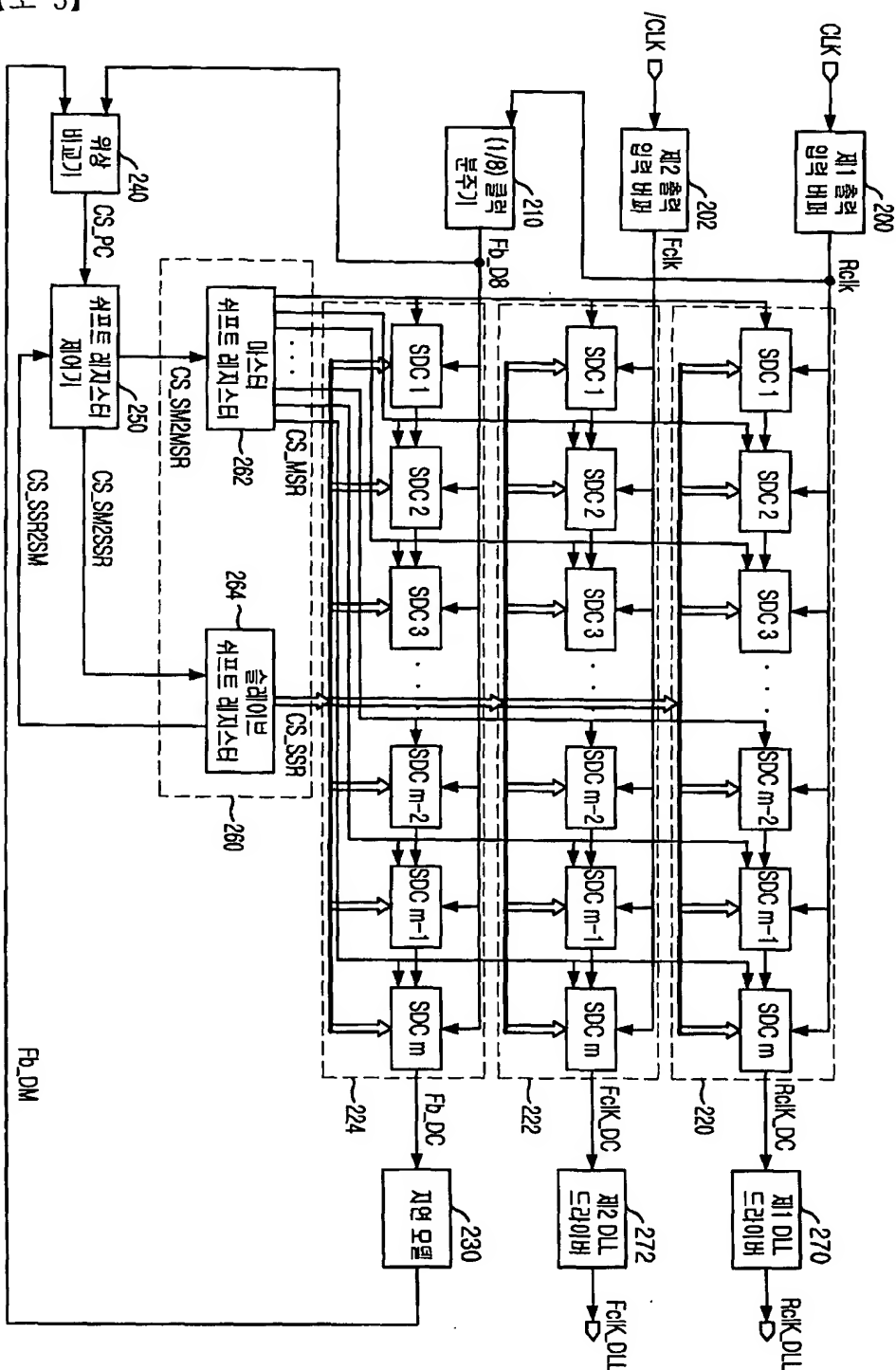




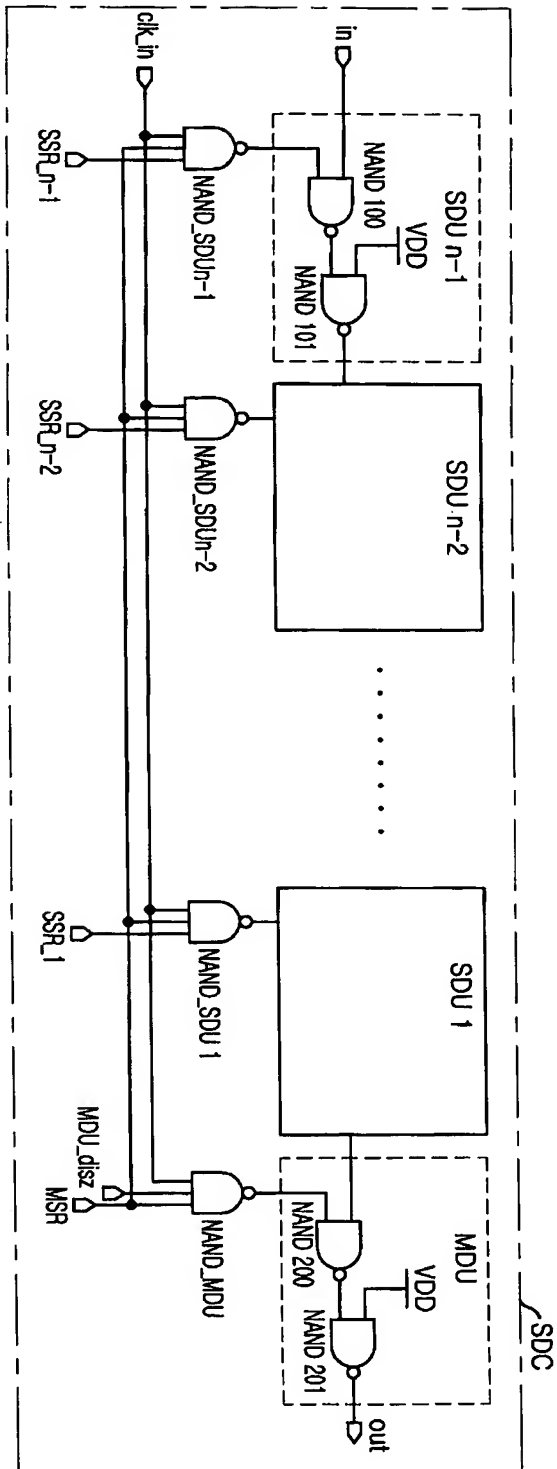
【표 4】



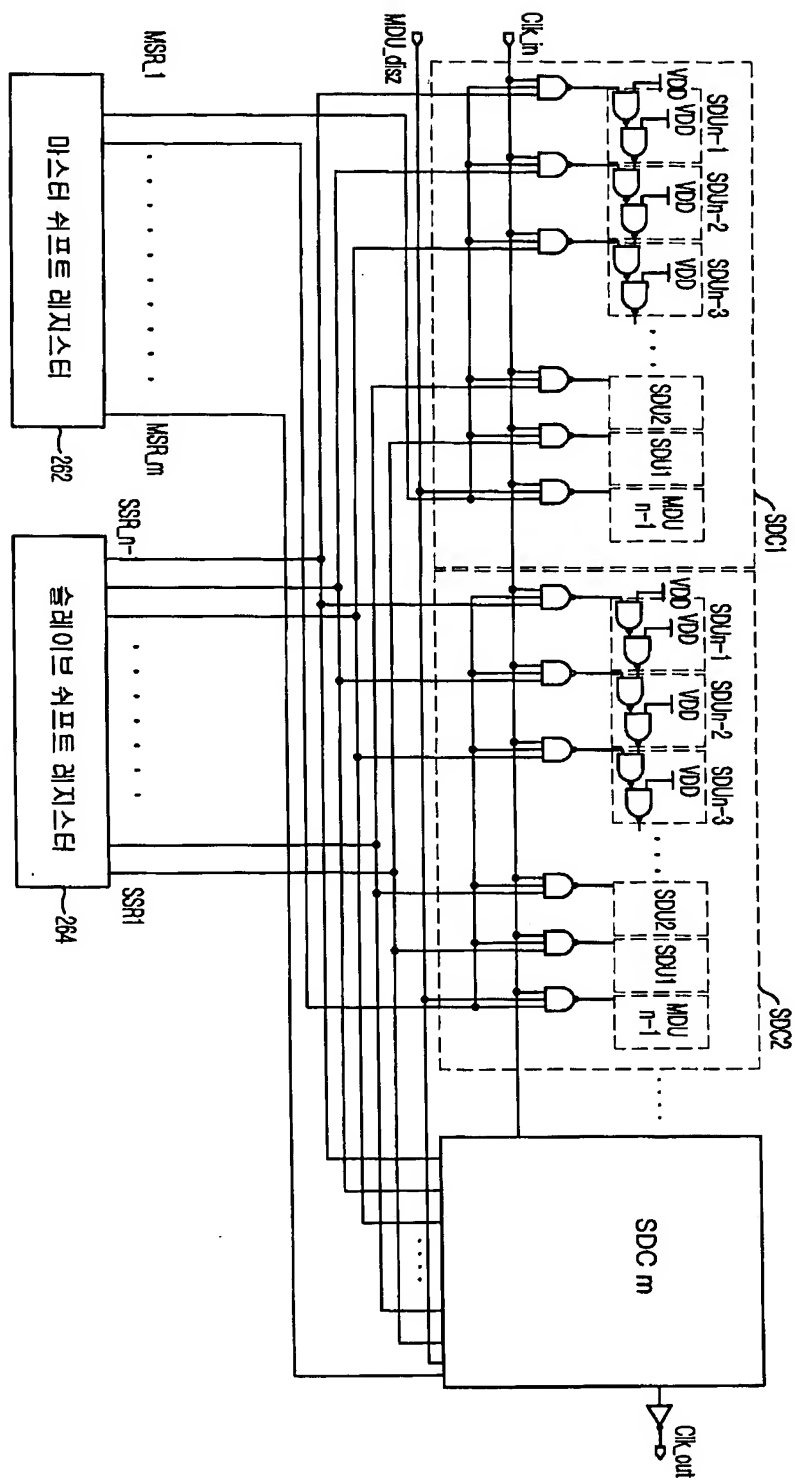
【도 5】



【도 6】

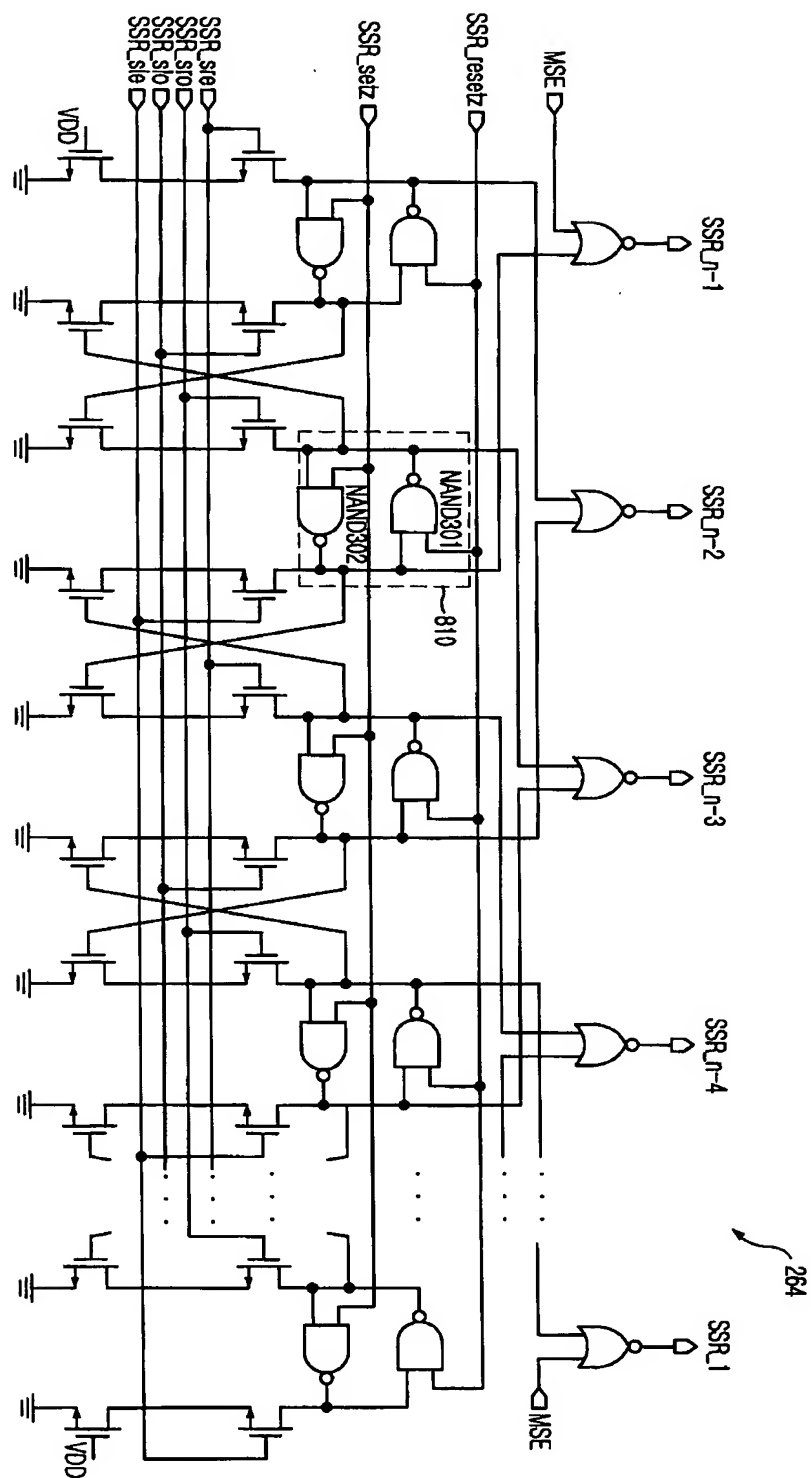


【도 7】

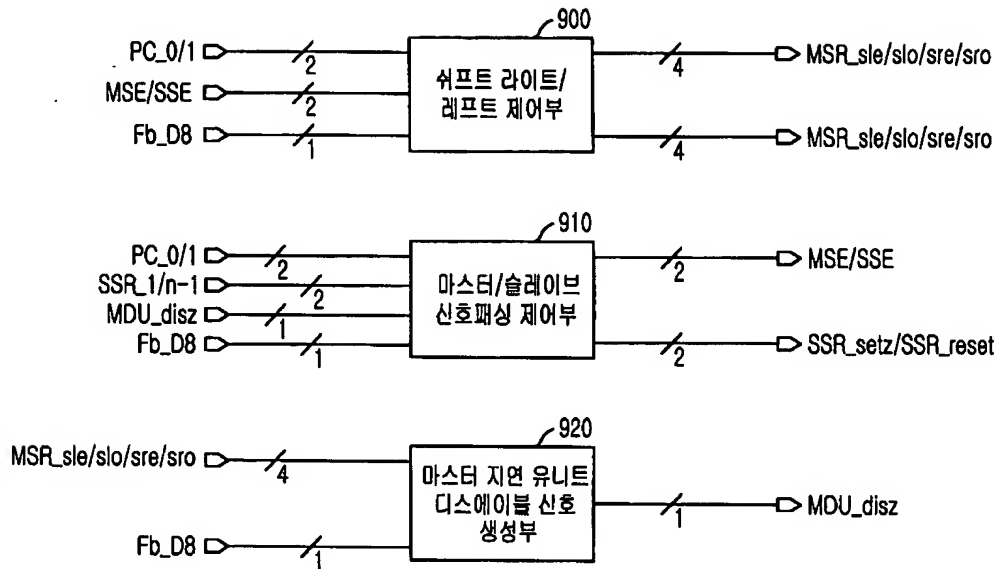




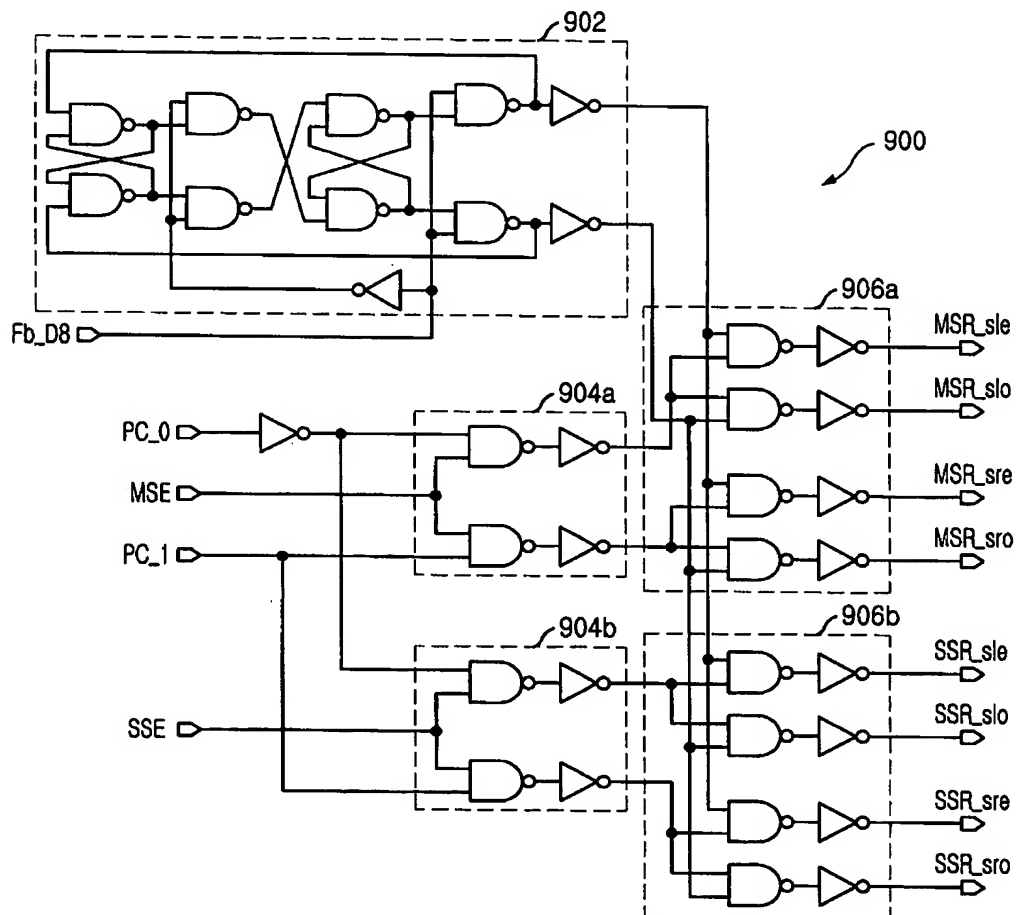
【도 8b】



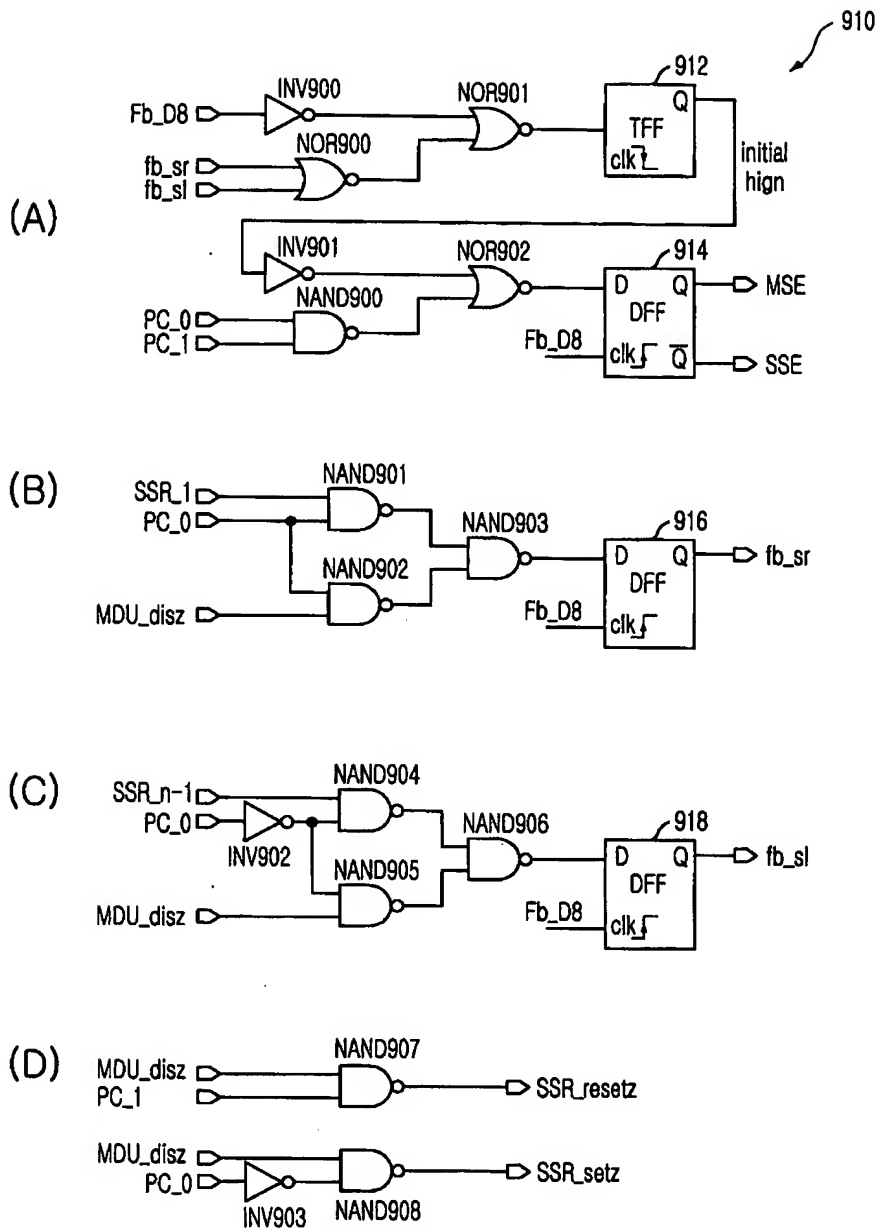
【도 9】



【도 10a】

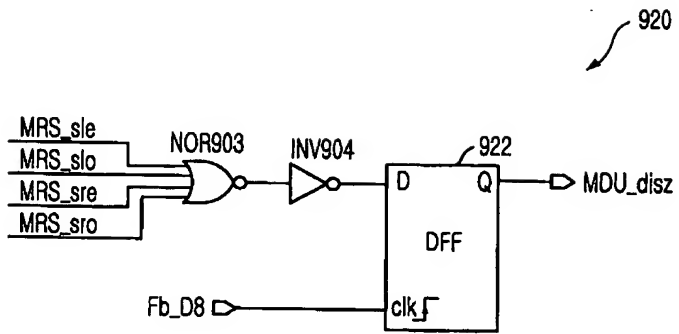


【도 10b】





【도 10c】



【도 11】

